



MINISTERO DELL'INDUSTRIA, DEL COMMERCIO E DELL'ARTIGIANATO
DIREZIONE GENERALE DELLA PRODUZIONE INDUSTRIALE
UFFICIO ITALIANO BREVETTI E MARCHI

J1036 U.S. PTO
09/823926
03/30/01



Autenticazione di copia di documenti relativi alla domanda di brevetto per Invenzione Industrial
N. MI2000 A 000687

STRAU2

*Si dichiara che l'unita copia è conforme ai documenti originali
depositati con la domanda di brevetto sopraspecificata, i cui dati
risultano dall'accluso processo verbale di deposito*

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

2 MAR. 2001

IL DIRETTORE DELLA DIVISIONE
Ing. Elio ROMANI

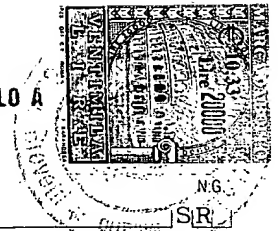
Elio Romani

AL MINISTERO DELL'INDUSTRIA DEL COMMERCIO E DELL'ARTIGIANATO

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITÀ AL PUBBLICO

MODULO A



A. RICHIEDENTE (I)

1) Denominazione STMicroelectronics S.r.l.
 Residenza Agrate Brianza (Milano) codice 00951900968
 2) Denominazione _____
 Residenza _____ codice _____

B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome nome Mario BOTTI cod. fiscale _____
 denominazione studio di appartenenza BOTTI & FERRARI S.r.l.
 via Locatelli n. 5 città Milano cap 20124 (prov) MI

C. DOMICILIO ELETTIVO destinatario

via _____ n. _____ città _____ cap _____ (prov) _____

D. TITOLO

classe proposta (sez/ci/sci) _____ gruppo/sottogruppo _____

Metodo e relativo dispositivo per effettuare operazioni di test su dispositivi elettronici di memoria.

ANTICIPATA ACCESSIBILITÀ AL PUBBLICO:

SI ☐ NO ☒

SE ISTANZA: DATA _____

N° PROTOCOLLO _____

E. INVENTORI DESIGNATI

cognome nome

cognome nome

1) Campardo Giovanni 3) Picca Massimiliano
 2) Commodaro Stefano 4) Mongelli Patrizia

F. PRIORITÀ

nazione o organizzazione

tipo di priorità

numero di domanda

data di deposito

allegato
S/R

1) _____
 2) _____

SCIOGLIMENTO RISERVE

Data

N° Protocollo

G. CENTRO ABILITATO DI RACCOLTA CULTURE DI MICRORGANISMI, denominazione

H. ANNOTAZIONI SPECIALI

DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1) 2 PROV n. pag. 13 riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare)
 Doc. 2) 2 PROV n. tav. 01 disegno (obbligatorio se citato in descrizione, 1 esemplare)
 Doc. 3) 0 MS lettera d'incarico, procura o riferimento procura generale
 Doc. 4) 0 RIS designazione inventore
 Doc. 5) 0 RIS documenti di priorità con traduzione in italiano
 Doc. 6) 0 RIS autorizzazione o atto di cessione
 Doc. 7) 0 nominativo completo del richiedente

8) attestati di versamento, totale lire Trecentosessantacinquemila=

COMPILATO IL 31/03/2000

FIRMA DEL(I) RICHIEDENTE(I)

BOTTI Mario

obbligatorio

CONTINUA SI/NO NO

DEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA SI/NO

SI

UFFICIO PROVINCIALE IND. COMM. ART. DI

MILANOcodice 15

VERBALE DI DEPOSITO

NUMERO DI DOMANDA

MI2000 A 000687

Reg. A.

L'anno millenovecento

DUEMILA

il giorno

TRENTUNO

del mese di

MARZO

il(i) richiedente(i) sopraindicato(i) ha(hanno) presentato a me sottoscritto la presente domanda, corredata di n.

fogli aggiuntivi per la concessione del brevetto sopraportato.

I. ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE

IL DEPOSITANTE

timbro
dell'Ufficio

L'UFFICIALE ROGANTE

G. CAULI

RIASSUNTO INVENZIONE CON DISEGNO PRINCIPALE, DESCRIZIONE E RIVENDICAZIONE

NUMERO DOMANDA

RI 2000 A 000687

REG. A

DATA DI DEPOSITO

31/03/2000

NUMERO BREVETTO

DATA DI RILASCIO

/ /

D. TITOLO

Metodo e relativo dispositivo per effettuare operazioni di test su dispositivi elettronici di memoria.

L. RIASSUNTO

L'invenzione riguarda un metodo ed un dispositivo di controllo per effettuare operazioni di test su dispositivi elettronici di memoria (1). Il metodo è del tipo in cui è previsto un caricamento di dati e/o istruzioni di test in una porzione circuitale (4) logica di controllo associata ad una matrice (2) di celle di memoria e ad un'integrata circuiteria (3) di memoria. L'invenzione prevede una temporanea sostituzione della logica di controllo (4) con un dispositivo di controllo (9) delle operazioni di test esterno al dispositivo di memoria (1) e rimovibilmente collegato ad esso.

Vantaggiosamente, il dispositivo di controllo (9) delle operazioni di test è una matrice (7) di celle esterna alla memoria (1).

M. DISEGNO

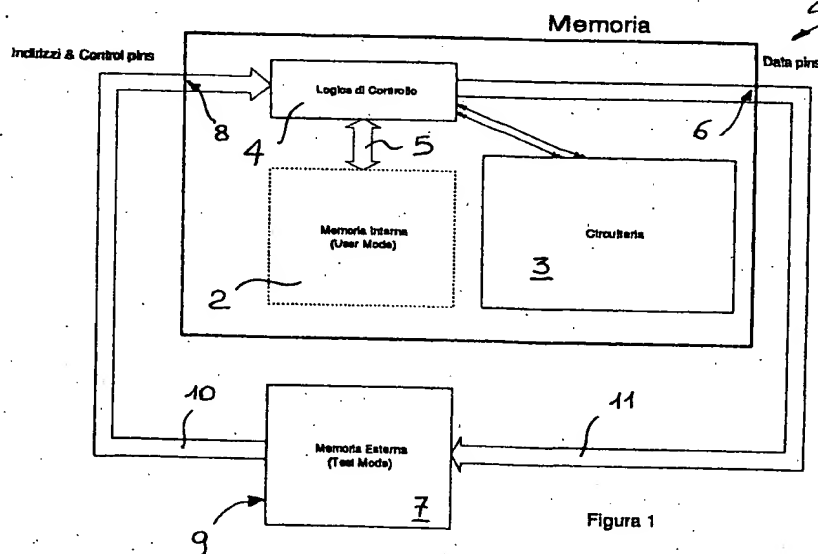


Figura 1



Titolo: **"Metodo e relativo dispositivo per effettuare operazioni di test su dispositivi elettronici di memoria."**

Titolare: **STMicroelectronics s.r.l.**

Con sede in: **Agrate Brianza (MI)**

MI 2000A000687

31 MAR. 2000

5

DESCRIZIONE

Campo di applicazione

La presente invenzione fa riferimento ad un metodo per effettuare operazioni di test su dispositivi elettronici di memoria, del tipo in cui è previsto un caricamento di dati e/o istruzioni di test in una
10 porzione circuitale logica di controllo associata ad una matrice di celle di memoria e ad una circuiteria di memoria.

L'invenzione riguarda altresì un dispositivo di controllo per l'attuazione del suddetto metodo.

Com'è ben noto, una delle principali peculiarità dei dispositivi
15 elettronici di memoria non volatile, ad esempio quelli di tipo Flash di ultima generazione, è la presenza all'interno del dispositivo di una porzione circuitale logica di controllo incorporata in esso. Tale logica di controllo ha una complessità e un'importanza non trascurabili in quanto è necessaria per l'esecuzione di algoritmi di programmazione e
20 cancellazione.

Questa porzione circuitale logica di controllo può essere realizzata con diverse modalità; a titolo di esempio si possono citare le seguenti:

1) una logica cablata: nella quale la sequenza di funzioni da
25 compiere viene implementata utilizzando una rete di sole porte logiche.

Ovviamente, in caso di modifica del flusso di istruzioni, a causa modifiche progettuali o di mutate esigenze tecnologiche, si rende necessaria una nuova realizzazione dell'intera porzione circuitale logica.

2) Una macchina a stati finiti: che consiste essenzialmente
5 in una macchina di Moore o di Mealey nella quale la parte combinatoria è realizzata tramite una struttura logica PLA (Programmable Logic Array). In caso di modifiche è sufficiente riprogrammare questa struttura logica PLA, ad esempio cambiando un numero limitato di maschere, per implementare una nuova funzione. In un'ipotesi di
10 questo genere la struttura generale del circuito viene conservata a vantaggio del tempo di modifica, del tempo di simulazione e del costo dell'operazione.

3) Un'unità microprogrammata: che contiene un algoritmo di istruzioni in una matrice di memoria. Le istruzioni vengono eseguite
15 da un sequenziatore del tutto simile a quelli presenti nei microcontrollori e nei microprocessori. La matrice che contiene l'algoritmo può essere una qualsiasi memoria non volatile come una ROM, nel qual caso la riprogrammazione richiede la modifica di qualche maschera; oppure una PROM, EPROM, EEPROM o Flash, nel qual caso
20 la riprogrammazione è effettuabile in maniera "software".

Oltre che per eseguire gli algoritmi d'utente, la logica di controllo è utilizzata per i seguenti scopi:

in fase di caratterizzazione, per verificare la piena funzionalità di tutte le parti logiche ed analogiche emulando quello che sarà il
25 funzionamento in modo utente o misurando parametri caratteristici, ad

esempio i valori raggiunti dai survoltori eventualmente presenti o il valore della tensione di riferimento generata internamente;

in fase di test EWS (Electrical Wafer Test) o di Final Test, per eseguire tutte quelle operazioni che rendono la memoria pronta per il cliente finale, vale a dire: scrittura delle celle di riferimento,
5 impostazione di particolari registri UPROM o OTP, ecc.

Dalle precedenti considerazioni deriva in modo evidente come la porzione circuitale logica di controllo comporti una delicata fase di progettazione, non solo per la complessità della sua struttura, ma
10 anche e soprattutto per la necessità di verificare la funzionalità nelle sue molteplici funzioni. Una non perfetta copertura di tutte le possibili modalità di funzionamento, con il conseguente malfunzionamento del circuito, richiederebbe interventi correttivi che però dipenderebbero dal tipo di implementazione utilizzata.

15 E' evidente che le soluzioni a logica cablata non si prestano ad alcun intervento correttivo.

Le soluzioni con macchina a stati finiti o con unità microprogrammata possono essere sottoposte ad una fase di riprogrammazione più meno difficoltosa. In ogni caso, però, per poter
20 verificare la completa funzionalità della logica di controllo, occorre effettuare un'operazione di test del dispositivo di memoria.

Arte nota

Per eseguire una fase di test della logica di controllo, onde garantirne la funzionalità, si fa abitualmente ricorso a tecniche note come DFT
25 (Design For Testability). Queste tecniche contemplano l'utilizzo di

particolari sequenze o catene di elementi di memoria, ad esempio di tipo latch e/o flip-flop, dotati di un ingresso di caricamento e di un'uscita di collegamento in cascata ad un componente successivo della catena. In modalità di test tali "catene di test" vengono caricate come se fossero un
5 unico registro seriale con predeterminate sequenze di dati. In sostanza, la logica di controllo incorpora un parte hardware che consente di effettuare le operazioni di test.

In risposta alla forzatura della suddetta sequenza di dati, la logica di controllo fornisce una sorta di "risposta allo stimolo" e la
10 registrazione delle sequenze di dati e relative risposte, confrontata con il risultato atteso ricavato da una simulazione, permette di garantire la rispondenza del circuito alle specifiche di progetto. L'inconveniente di tale metodo di test è dovuto alla necessità di utilizzare porte complesse per realizzare la parte destinata al test della logica di controllo, e ciò
15 aumenta considerevolmente l'area del dispositivo.

Un'altra soluzione comunemente adottata prevede un test della sola circuiteria analogica ed una conseguente caratterizzazione. Volendo provare la funzionalità delle varie parti della logica di controllo in situazioni differenti da quelle previste dall'algoritmo, si implementa
20 un certo numero di registri di test i quali, caricati opportunamente, pilotano i circuiti analogici. Anche in questo caso l'area complessiva occupata del circuito aumenta al solo scopo di consentire l'esecuzione delle operazioni di test.

Il problema tecnico che sta alla base della presente invenzione
25 è quello di escogitare una metodologia di test per dispositivi integrati di



memoria la quale abbia caratteristiche tali da consentire di effettuare molteplici operazioni di test evitando però di incorporare nel circuito da testare porzioni circuitali dedicate esclusivamente a tali operazioni di test.

5 Sommario dell'invenzione

L'idea di soluzione che sta alla base della presente invenzione è quella di sostituire temporaneamente la logica di controllo incorporata nel dispositivo di memoria con una logica di controllo esterna e programmabile che viene rimovibilmente collegata al dispositivo di memoria.

10 Sulla base di questa idea di soluzione il problema tecnico è risolto da una metodologia di test del tipo precedentemente indicato e caratterizzata dal fatto di prevedere una temporanea sostituzione di detta logica di controllo con un dispositivo di controllo delle operazioni di test, il quale dispositivo di controllo delle operazioni di test è esterno al dispositivo di memoria e rimovibilmente collegato ad esso.

L'invenzione riguarda altresì un dispositivo di controllo per effettuare operazioni di test su dispositivi elettronici di memoria dotati di una matrice di celle di memoria, una porzione circuitale logica di controllo associata alla matrice di celle di memoria e ad una circuiteria associata a detta logica di controllo, caratterizzato dal fatto di essere un'unità di memoria esterna al dispositivo di memoria.

20 Le caratteristiche ed i vantaggi del metodo e del dispositivo secondo l'invenzione risulteranno dalla descrizione, fatta qui di seguito, di un esempio di realizzazione dato a titolo indicativo e non limitativo

con riferimento al disegno allegato.

In tale disegno:

Breve descrizione dei disegni

L'unica figura illustra schematicamente un dispositivo elettronico di memoria associato ad un dispositivo di test realizzato secondo la presente invenzione.

Descrizione dettagliata

Con riferimento a tale figura, con 1 è globalmente e schematicamente indicato un dispositivo elettronico di memoria del tipo preferibilmente integrato su semiconduttore.

Il dispositivo 1 di memoria può essere una memoria non volatile, ad esempio di tipo PROM, EPROM, EEPROM o Flash EPROM. Nulla vieta però che tale memoria possa essere di tipo volatile.

Tale dispositivo 1 di memoria comprende una matrice 2 di celle di memoria non volatile ed un'associata circuiteria 3.

Il dispositivo 1 di memoria comprende inoltre una porzione circuitale 4 logica di controllo che è collegata in modo bidirezionale alla matrice 2 tramite un bus interno 5. La logica di controllo 4 è collegata in modo bidirezionale anche alla circuiteria 3.

Vantaggiosamente, secondo l'invenzione, al dispositivo 1 di memoria è temporaneamente associato un dispositivo di controllo 9 delle operazioni di test il quale è rimovibilmente collegato al dispositivo di memoria 1.

Più in particolare, il dispositivo 9 può essere una matrice 7 di memoria esterna, ad esempio di tipo non volatile, sostanzialmente

analoga a quella incorporata nel dispositivo 1 stesso. In un'altra forma di realizzazione, il dispositivo 9 può essere una logica di controllo sostanzialmente analoga a quella incorporata nel dispositivo 1 stesso.

Il collegamento rimovibile tra il dispositivo 9 di controllo delle
5 operazioni di test ed il dispositivo 1 di memoria avviene sfruttando piedini 6 di ingresso/uscita dati e piedini 8 di ingresso/uscita indirizzi e segnali di controllo e tramite rispettivi bus 11 e 10 di collegamento.

Attraverso tali piedini 6, 8 ed i bus 11 e 10 il dispositivo 9
viene temporaneamente collegato in modo bidirezionale alla logica di
10 controllo 4 della memoria 1.

L'idea di soluzione della presente invenzione nasce dalla considerazione: che all'interno del dispositivo 1 di memoria è già presente proprio l'unità logica di controllo 4 che, per le esigenze degli algoritmi d'utente, è in grado di comandare tutte le altre porzioni
15 circuitali della memoria 1 tramite un adeguato algoritmo.

La soluzione del problema è una temporanea "sostituzione" della matrice 2 di celle con un'altra matrice 7 esterna al dispositivo 1, come mostrato in Figura 1.

Vantaggiosamente, in accordo con la presente invenzione, in
20 questo modo risulta possibile cambiare l'algoritmo di comando delle porzioni circuitali del dispositivo 1 di memoria per effettuare una moltitudine di test differenti. Ciò consente non solo di controllare a piacimento tali porzioni circuitali del dispositivo 1, ma anche di eseguire un test volto a verificare la funzionalità della stessa logica di controllo 4
25 con una modalità di autodiagnostica.

Queste possibilità non sono fattibili con un'unità microprogrammata della tecnica nota, in quanto la matrice che contiene il codice è sostanzialmente immutabile, a meno di non cambiare delle maschere, nel caso di memorie ROM, o di alterarne il contenuto nel caso di memorie Flash. Inoltre, eventuali alterazioni richiederebbero molto tempo per verifiche sulla bontà dell'operazione stessa.

Quando si vuole eseguire il programma di test invece di quello normale, con il metodo secondo l'invenzione si fa sì che la logica di controllo 4 legga dalla memoria 7 esterna invece che dalla matrice 2 interna. In questo modo si possono utilizzare i piedini di ingresso/uscita del dispositivo 1.

Attraverso i piedini 6 di dati, ad esempio, si può fornire l'indirizzo alla memoria 7 esterna (vale a dire il program counter); mentre, attraverso i piedini 8 di indirizzamento la memoria 7 esterna fornisce un'istruzione alla logica interna che si preoccupa di decodificarla ed eseguirla.

Il controllo della modalità di test può essere attuato mediante combinazione di segnali di controllo qualsivoglia (CE, WE, indirizzi e/o dati non coinvolti nel loop appena descritto ecc.).

Il metodo secondo l'invenzione consente di migliorare i tempi di debug e contemporaneamente ottimizzare gli algoritmi che vengono eseguiti dal dispositivo di memoria. Infatti, gli algoritmi delle moderne memorie flash multilivello sono molto complessi (PLA da 450 minterm) che vengono scritti in formato hardware.

Quando il dispositivo di memoria esce dalle linee di



produzione, i suddetti algoritmi vengono fatti girare con grande dispendio di energia da parte di chi effettua le operazioni di debug.

Nel dispositivo di memoria 1 la memoria di programma è residente, ma con l'accorgimento secondo l'invenzione è possibile by-
5 passarla consentendo un'analisi più veloce dell'intero dispositivo.

Il metodo ed il dispositivo secondo l'invenzione risolvono il problema tecnico e conseguono numerosi vantaggi qui di seguito elencati.

10 risulta possibile rendere flessibile il controllo delle varie parti del dispositivo senza un eccessivo aggravio di area e complessità. Possono eventualmente essere utilizzati un multiplexer e un protocollo di identificazione per un comando di "sostituzione";

in fase iniziale di caratterizzazione (EWS e Final Test) del dispositivo di memoria risulta possibile alterare a piacere il flusso
15 dell'algoritmo e trovare così la soluzione ottimale senza costose modifiche hardware;

è possibile verificare la funzionalità della logica di controllo in se stessa;

20 analogamente, è possibile verificare la funzionalità dei circuiti (analogici, di matrice ecc.) solitamente utilizzati in modo utente dalla logica stessa;

implementare, a solo scopo di prova, un algoritmo differente da quello effettivamente "scritto" nella PLA o nella ROM dell'unità microprogrammata, senza dovesse alterare il contenuto.

25 Il metodo e dispositivo secondo l'invenzione potranno essere

STM142BIT
STMicroelectronics s.r.l.

Ing. Mario Botti
(Iscr. Albo n°493 BM)

apportate modifiche e varianti facilmente desumibili ad un tecnico del ramo e tutte rientranti nell'ambito delle seguenti rivendicazioni.

RIVENDICAZIONI

1. Metodo per effettuare operazioni di test su dispositivi elettronici di memoria (1), del tipo in cui è previsto un caricamento di dati e/o istruzioni di test in una porzione circuitale (4) logica di controllo associata ad una matrice (2) di celle di memoria e ad una circuiteria (3) di memoria, caratterizzato dal fatto di prevedere una temporanea sostituzione di detta logica di controllo (4) con un dispositivo di controllo (9) delle operazioni di test esterno al dispositivo di memoria (1) e temporaneamente collegato ad esso.
2. Metodo secondo la rivendicazione 1, caratterizzato dal fatto che detto dispositivo di controllo (9) delle operazioni di test è una matrice (7) di celle esterna alla memoria (1).
3. Metodo secondo la rivendicazione 1, caratterizzato dal fatto che detto dispositivo di controllo (9) delle operazioni di test è una logica di controllo esterna alla memoria (1).
4. Metodo secondo la rivendicazione 1, caratterizzato dal fatto che detto il collegamento temporaneo viene effettuato attraverso piedini (6) di dati e piedini (8) di controllo del dispositivo di memoria (1), nonché rispettivi bus (11, 10) di collegamento.
5. Metodo secondo la rivendicazione 1, caratterizzato dal fatto che detta logica di controllo (4) è incorporata in un dispositivo di memoria non volatile.
6. Dispositivo di controllo per effettuare operazioni di test su dispositivi elettronici di memoria (1) dotati di una matrice (2) di celle di memoria, una porzione circuitale (4) logica di controllo associata alla

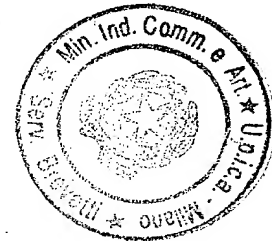
matrice (2) di celle di memoria e ad una circuiteria (3) associata a detta logica di controllo (4), caratterizzato dal fatto di essere un'unità di memoria (7) esterna al dispositivo di memoria (1) e collegata rimovibilmente ad esso.

5 7. Dispositivo secondo la rivendicazione 6, caratterizzato dal fatto il collegamento rimovibile viene effettuato attraverso piedini (6) di dati e piedini (8) di controllo del dispositivo di memoria (1).

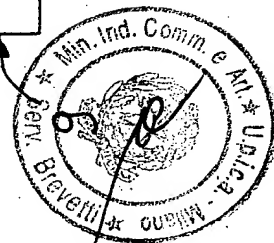
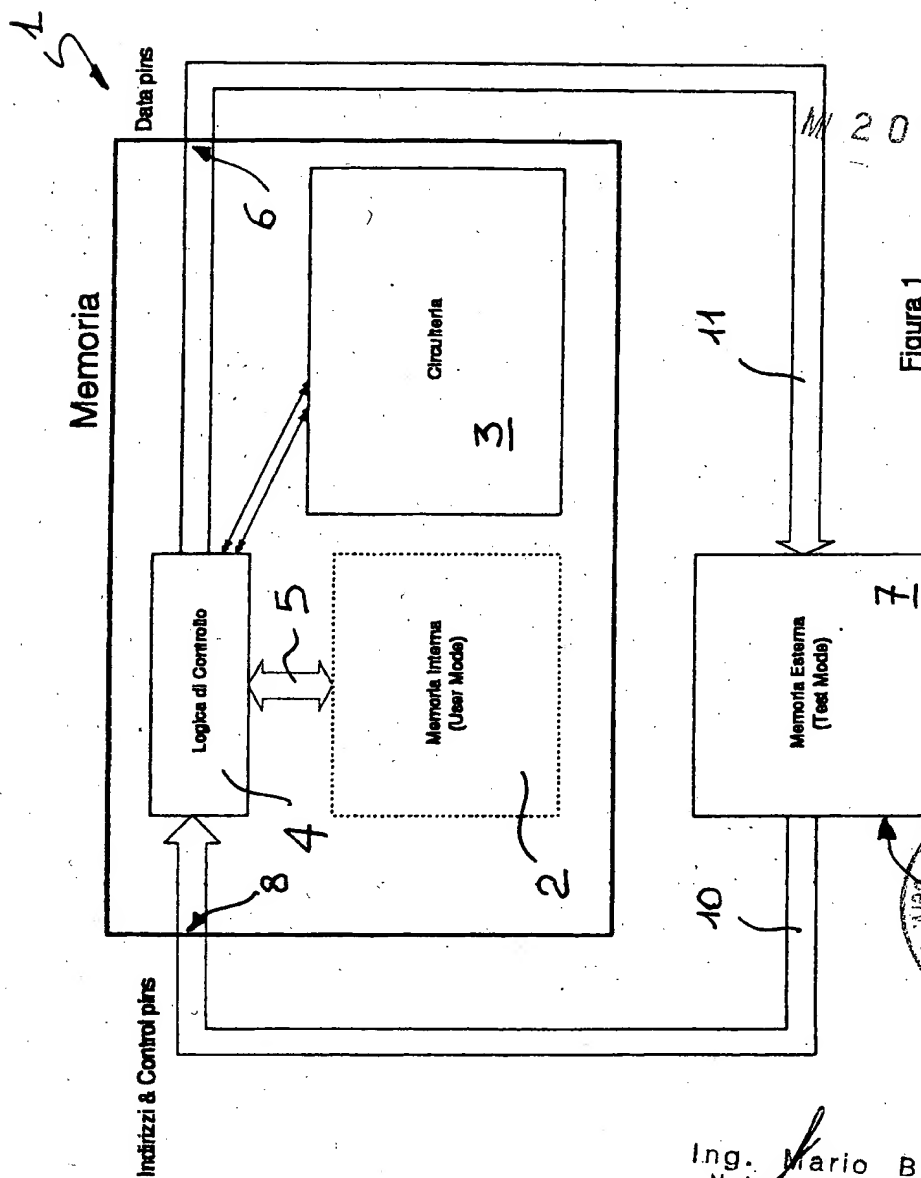
8. Dispositivo secondo la rivendicazione 6, caratterizzato dal fatto detta unità di memoria (7) esterna è di tipo non volatile.

Ing. Mario BOTTI
N. Iscriz. ALBO 493 BM

Mario Botti



2000A000687



Ing. Mario BOTT
N. Isoriz. ALBO 493 B44

N. Isotiz. ALBO 493